

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-044196

(43)Date of publication of application : 16.02.2001

(51)Int.Cl.

H01L 21/3205

(21)Application number : 11-217290

(71)Applicant : FUJITSU LTD
FUJITSU VLSI LTD

(22)Date of filing : 30.07.1999

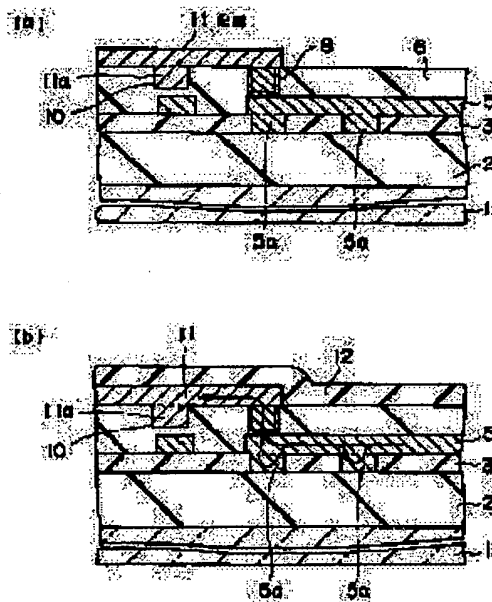
(72)Inventor : ITO SATORU

(54) SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To suppress occurrence of voids caused by electromigration, without hindering the density elevation of wiring, in a semiconductor device which has a multilayer wiring structure.

SOLUTION: A semiconductor device has a first wiring 5, which is made on an insulating film 3 and a metallic reservoir 5a equipped with a structure such that it is connected to the downside or upside of the first wiring 5 and moreover is equipped with a structure so as to be separated from the second wiring 11 made above or below the first wiring 5. The reservoir 5a is made of the same material as that of the first wiring 5, and is arranged in the vicinity of the contact hole made on the first wiring.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2001-44196
(P2001-44196A)

(43) 公開日 平成13年2月16日 (2001.2.16)

(51) Int.Cl.⁷
H 0 1 L 21/3205

識別記号

F I
H 0 1 L 21/88

テーマコード(参考)
B 5 F 0 3 3

審査請求 未請求 請求項の数 4 O L (全 7 頁)

(21) 出願番号 特願平11-217290

(22) 出願日 平成11年7月30日 (1999.7.30)

(71) 出願人 000005223
富士通株式会社
神奈川県川崎市中原区上小田中4丁目1番
1号
(71) 出願人 000237617
富士通ヴィエルエスアイ株式会社
愛知県春日井市高蔵寺町2丁目1844番2
(72) 発明者 伊藤 悟
愛知県春日井市高蔵寺町二丁目1844番2
富士通ヴィエルエスアイ株式会社内
(74) 代理人 100091672
弁理士 岡本 啓三

最終頁に続く

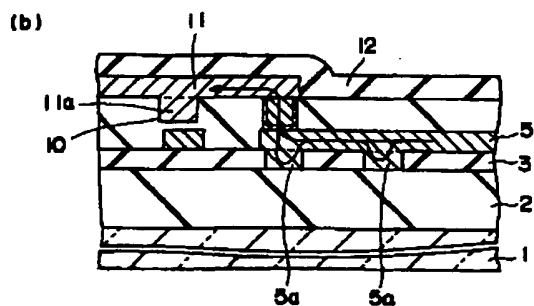
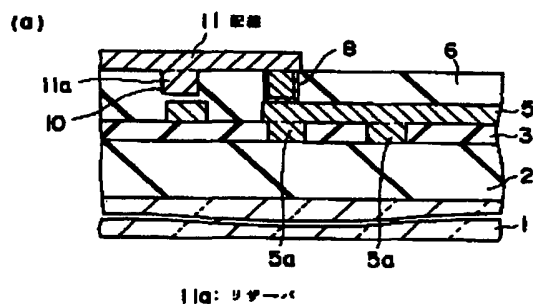
(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】多層配線構造を有する半導体装置に関し、配線の高密度化に支障をきたさずにエレクトロマイグレーションによるボイドの発生を抑制すること。

【解決手段】絶縁膜3の上に形成された第1の配線5と、前記第1の配線5の下側又は上側に接続された構造を備え且つ前記第1の配線5の上方又は下方に形成された第2の配線11から離れた構造を備えた金属のリザーバ5aとを有する。

本発明の第1実施形態の半導体装置の
形成工程を示す断面図 (その3)



【特許請求の範囲】

【請求項1】絶縁膜の上に形成された第1の配線と、前記第1の配線の下側又は上側に接続された構造を備え且つ前記第1の配線の上方又は下方に形成された第2の配線から離れた構造を備えた金属のリザーバとを有することを特徴とする半導体装置。

【請求項2】前記リザーバは、前記第1の配線と同じ材料から形成されていることを特徴とする請求項1に記載の半導体装置。

【請求項3】前記リザーバは、前記第1の配線の上に形成されるコンタクトホール近傍に配置されることを特徴とする請求項1に記載の半導体装置。

【請求項4】前記リザーバは、前記第1の配線の上に形成されるコンタクトホールの下に形成されていることを特徴とする請求項1に記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置に関する。より詳しくは、多層配線構造を有する半導体装置に関する。

【0002】

【従来の技術】半導体集積回路装置では、半導体素子の高集積化に伴って多層配線が採用されるに至っている。多層配線は、図1(a)に示すように、絶縁膜101を挟んで上下に形成された下側の配線102と上側の配線103をビア(プラグ)104を介して接続するような構造を有している。

【0003】そのような配線102、103は一般にアルミニウム膜をパターンニングして形成され、また、ビア104はタングステンなどの材料を絶縁膜101のホール105に埋め込むことにより形成される。ところで、配線102、103に電流が流れる、配線102、103を構成する金属原子が移動する現象、いわゆるエレクトロマイグレーションが発生することが知られており、そのエレクトロマイグレーションによって図1(b)に示すように配線102内にボイド106が発生して断線に至るおそれがある。

【0004】そのような配線102、103内でのボイドの発生を防止するために、図2に示すように配線102の先端を従来よりも延長させて余裕部分102aを形成することが例えば特開平9-266249号公報に記載されている。その余裕部分102aは、エレクトロマイグレーションによるアルミニウム原子の供給源となってボイド106の発生を防止する機能を有する。

【0005】

【発明が解決しようとする課題】しかし、配線102の先端を延長して余裕部分102aを確保することは、配線の高密度化をむずかしくし、高集積化の要求に反することになる。本発明の目的は、配線の高密度化に支障をきたさずにエレクトロマイグレーションによるボイドの

発生を抑制することができる半導体装置を提供することにある。

【0006】

【課題を解決するための手段】上記した課題は、図5(b)に例示するように、絶縁膜3の上に形成された第1の配線5と、前記第1の配線5の下側又は上側に接続された構造を備え且つ前記第1の配線5の上方又は下方に形成された第2の配線11から離れた構造を備えた金属のリザーバ5aとを有することを特徴とする半導体装置により解決する。

【0007】上記した半導体装置において、前記リザーバ5aは、前記第1の配線と同じ材料から形成されてもよい。上記した半導体装置において、前記リザーバ5aは、前記第1の配線5の上に形成されるコンタクトホール7の近傍に配置される構造としてもよい。上記した半導体装置において、前記リザーバ5aは、前記第1の配線5の上に形成されるコンタクトホール7の下に形成されている構造を採用してもよい。

【0008】なお、上記した図番、符号は、発明の理解を容易にするために引用されたものであって、本発明はそれらに限定されるものではない。次に、本発明の作用について説明する。本発明によれば、金属配線の下側又は上側に機械的に接続した金属製のリザーバを設けている。

【0009】そして、その金属配線に電流が流れると、その電流の一部はリザーバにも流れる。そして、エレクトロマイグレーションによって金属配線の一部に金属元素の欠落が生じても、エレクトロマイグレーションによってリザーバから移動した金属元素が金属配線の金属欠落部分に移動して金属元素を補給することになり、金属配線のボイドの発生が防止される。

【0010】また、そのリザーバは、金属配線の下側又は上側に接続されているので、配線の集積率を低下させることはなく、また、そのリザーバを絶縁膜に埋め込むことによって多層配線構造の膜厚を増加させることはない。

【0011】

【発明の実施の形態】以下に本発明の実施形態を図面に基づいて説明する。

(第1の実施の形態)図3～図5は、本発明の第1実施形態に係る半導体装置の多層配線の形成工程を示す断面図である。

【0012】まず、図3(a)に示すように、シリコン等からなる半導体基板1の上にMOSトランジスタ(不図示)などの素子を覆うSiO₂よりなる第1の層間絶縁膜2を形成した後に、その上にSiO₂よりなる第2の層間絶縁膜3を形成する。続いて、フォトリソグラフィ法によって第2の層間絶縁膜3上の第1配線形成領域の一部、例えば上側のビアと第1配線との接続部或いはその近傍をエッチングして凹部4を形成する。その凹部4は、そ

の下に配線が存在しない場合には第2の層間絶縁膜3の膜厚と同じであってもよいが、その下に配線が存在する場合には第2の層間絶縁膜3の膜厚の50%~70%程度の深さとするのが好ましい。

【0013】次に、第2の層間絶縁膜3の上と凹部4の中にアルミニウム膜をスパッタ法により形成した後に、図3(b)に示すように、そのアルミニウム膜をフォトリソグラフィ法によりパターニングして幅0.3 μ m以上の第1配線5を形成する。第1配線5の下凹部4内に残されたアルミニウム膜はリザーバ(余裕部)5aとして使用される。

【0014】ところで、第1配線5の平坦性を確保したい場合には次のような工程を採用する。即ち、アルミニウム膜を凹部4内と第2の層間絶縁膜3の上に形成した後に、そのアルミニウム膜を化学機械研磨(CMP)法により研磨して第2の層間絶縁膜3の上面から除去するとともにそのアルミニウム膜を凹部4内でリザーバ5aとして残す。その後、第2のアルミニウム膜を第2の層間絶縁膜3とリザーバ5aの上に形成し、続いて第2のアルミニウム膜をパターニングすることによって凹部4の上を通る第1配線5を形成する。

【0015】以上の方法によって第1配線5とリザーバ5aを形成した後に、 SiO_2 よりなる第3の層間絶縁膜6を第1配線5及び第2の層間絶縁膜3の上に形成する。次に、第3の層間絶縁膜6をフォトリソグラフィ法によりパターニングして第1配線5の一部の上にビアホール(コンタクトホール)7を形成する。続いて、図4(a)に示すように、ビアホール7内と第3の層間絶縁膜6の上に窒化チタン膜8aとタングステン膜8bを順に形成した後に、CMP法によってそれらの金属膜8a、8bを第3の層間絶縁膜6の上面から除去する。これにより、ビアホール7内に残った窒化チタン膜8aとタングステン膜8bをビア8として使用する。

【0016】さらに、第3の層間絶縁膜6の上にフォトレジスト9を塗布し、これを露光、現像することにより、第2配線を形成しようとする部分であってビア8の近傍に窓9aを形成する。続いて、図4(b)に示すように、窓9aを通して第3の層間絶縁膜6をエッチングして凹部10を形成する。その凹部10は、その直下に第1配線5が存在しない場合には第2の層間絶縁膜2の膜厚と同じであってもよいが、その直下に第1配線5が存在する場合には第3の層間絶縁膜6の膜厚の50%~70%程度の深さとするのが好ましい。

【0017】次に、フォトレジスト9を除去した後に、第3の層間絶縁膜6の上と凹部10の中にアルミニウム膜を形成した後に、このアルミニウム膜をフォトリソグラフィ法によりパターニングして、図5(a)に示すように、ビア8と凹部10を通る形状の第2の配線11を形成する。この場合、凹部10内のアルミニウム膜はリザーバ11aとなる。

【0018】なお、凹部10内にアルミニウムを充填してリザーバ11aを形成した後に、そのリザーバ11aの上を通る第2配線11を形成する方法を採用してもよい。その後、図5(b)に示すように、第2配線11を覆う第4の層間絶縁膜12を形成した後にその上に第3配線(不図示)を形成することになる。以上のようなリザーバ5a、11aを有する配線5、11においては、図5(b)の矢印で示すように電流が流れると、配線5、11の構成原子がエレクトロマイグレーションによって移動することがある。このとき、リザーバ5a、11aの構成元素も電流によって配線5、11内に移動して、配線5、11中の構成元素の空いた部分に供給されることになり、ボイドの発生が抑制される。

【0019】しかも、上記したリザーバ5a、11aは、配線5、11の下側に存在する層間絶縁膜3、6中に埋め込まれた金属によって構成されるので、配線5、11の集積率を低下させたり或いは半導体基板1上の膜厚を増加させることはない。なお、上記した実施形態では、アルミニウムからなる配線の下にリザーバを形成することについて説明したが、銅、その他の金属材料からなる配線の下にリザーバを形成することによってボイドの発生を抑制するとともに、配線密度の低下を防止することができる。

【0020】なお、上記したビア8はタングステン膜から構成しているが、配線と同じ導電材料から構成してもよい。また、上記したような多層配線構造は、ロジックLSI、メモリLSI等の半導体装置に適用される。

(第2の実施の形態)上記した実施形態では、アルミニウム膜をパターニングして配線を形成することについて説明したが、ダマシン法を用いて配線を形成することについて以下に説明する。

【0021】まず、図6(a)に示すように、半導体基板(不図示)の上に形成された SiO_2 よりなる第1の層間絶縁膜21の中に、窒化チタン膜22aとタングステン膜22bの二層構造の第1のビア22を形成する。その後、第1の窒化シリコン膜23、 SiO_2 よりなる第2の層間絶縁膜24、窒化シリコンよりなる反射防止膜25をCVD法により順に形成する。その後、反射防止膜25と第2の層間絶縁膜24をパターニングして、第1の配線が形成される部分であって第2のビアの形成領域の直下又はその近傍に第1の開口26を形成する。

【0022】続いて、図6(b)に示すように、第2の層間絶縁膜24の上にフォトレジスト27を塗布し、これを露光、現像して第1の配線の形状を有する窓27aを形成する。さらに、図6(c)に示すように、窓27aを通して反射防止膜25と第2の層間絶縁膜24をエッチングし、それらの膜24、25に第1の配線用溝28を形成する。このエッチングの際に、開口26を通して第1の窒化シリコン膜23とその下の第1の層間絶縁膜21の一部も同時にエッチングされて凹部29が形成され

る。その凹部29の深さは第2の層間絶縁膜24の膜厚とほぼ同じになる。

【0023】続いて、フォトリソグロフ27を除去した後に、フッ素系ガスによって反射防止膜25をエッチングすると同時に第1の配線用溝28を通して第1の窒化シリコン膜23もエッチングする。その後、凹部29、第1の配線用溝28の内面と第2の層間絶縁膜24の上面に沿って第1の窒化タンタル膜30を形成した後に、その第1の窒化タンタル膜30の上に銅のシードを形成し、さらに、電解メッキによって第1の窒化タンタル膜30の上に第1の銅膜31を形成する、続いて、図7(a)に示すように第1の銅膜31と第1の窒化タンタル膜30を化学機械研磨(CMP)法によって第2の層間絶縁膜24の上面から除去する。そして、第1の配線用溝28内に残った第1の窒化タンタル膜30及び第1の銅膜31を第1の配線32として使用するとともに、第1の層間絶縁膜21の凹部29内に残った第1の銅膜31を第1実施形態で示したリザーバ33として使用する。

【0024】次に、図7(b)に示すように、第1の配線32と第2の層間絶縁膜24の上に第2の窒化シリコン膜34と、 SiO_2 よりなる第3の層間絶縁膜35と、第3の窒化シリコン膜36と、 SiO_2 よりなる第4の層間絶縁膜37と、第2の反射防止膜38をCVD法により順に形成する。続いて、図7(c)に示すように、第2の反射防止膜38と第4の層間絶縁膜37をフォトリソグラフィ法によりパターンニングして、第1の配線32の一部に重なる部分にビアホール形成用開口39を形成するとともに、そのビアホール形成用開口39の近傍であって第1の配線32に重ならない部分にリザーバ形成用開口40を形成する。

【0025】次に、図8(a)に示すように、第2の反射防止膜38の上にフォトリソグロフ41を塗布し、これを露光、現像することにより、ビアホール形成用開口39とリザーバ形成用開口40の上を通る第2の配線用窓41aを形成する。続いて、図8(b)に示すように、第2の配線用窓41aを通して第2の反射防止膜38及び第4の層間絶縁膜37をエッチングして第2の配線用溝42を形成するとともに、ビアホール形成用開口39とリザーバ形成用開口40を通して第3の層間絶縁膜35と第3の窒化シリコン膜36をエッチングすることにより、ビアホール形成用開口39の下に第2のビアホール43を形成するとともに、リザーバ形成用開口40の下にリザーバ用凹部44を形成する。

【0026】次に、第2の反射防止膜38をエッチングすると同時に、ビアホール43とリザーバ用凹部44を通して第2の窒化シリコン膜34をエッチングする。これにより、ビアホール43の下には第1の配線32の一部が露出する一方で、リザーバ用凹部44からは第2の層間絶縁膜24が露出した状態となる。この後に、第2

の配線用溝42とビアホール43とリザーバ用凹部44のそれぞれの内面と第4の層間絶縁膜37の上に第2の窒化タンタル膜45を形成し、その上に第2の銅膜46を形成する。そして、第2の銅膜46と第2の窒化タンタル膜45をCMP法により研磨してそれらの膜を第4の層間絶縁膜37の上面から除去する。これにより、図8(c)に示すように、第2の配線用溝42内に残った第2の窒化タンタル膜45と第2の銅膜46を第2の配線47として使用し、また、ビアホール43内に残った第2の窒化タンタル膜45と第2の銅膜46を第2のビア48として使用するとともに、リザーバ用凹部44に残った第2の銅膜46をリザーバ49として使用する。

【0027】その後、第2の配線47を覆う絶縁膜(不図示)を形成することになる。以上のようなダマシン法によって形成されたリザーバ33、49は、第1実施形態と同様に、エレクトロマイグレーションによって配線23、47内で欠乏した金属元素を補給する補給源となり、これにより配線23、47内でのボイドの発生が抑制される。

【0028】なお、 SiO_2 よりなる層間絶縁膜を例えば C_4F_8 と Ar と O_2 と CO の混合ガスを使用すると、その下の窒化シリコン膜はエッチングストパとして機能する。この場合、窒化シリコン膜は例えば CHF_3 と O_2 と Ar との混合ガスを使用してエッチングすることになる。

(その他の実施形態)第1、第2の実施形態では、層間絶縁膜を SiO_2 から形成しているが、PSG、熱酸化膜、プラズマ酸化膜、SOG、その他の平坦化絶縁材料から形成してもよい。その層間絶縁膜の膜厚は特に限定されるものではないが、例えば0.4~1.0 μm 程度としてもよい。

【0029】また、配線に接続されるリザーバは、第1及び第2実施形態で示したように配線の下に接触させた構造としたが、配線の上に接触させた構造としてもよい。

【0030】

【発明の効果】以上述べたように本発明によれば、金属配線の下側又は上側に機械的に接続した金属製のリザーバを設けたので、配線の集積率の低下を防止することができ、また、そのリザーバを絶縁膜に埋め込むことによって多層配線構造の膜厚が増加することを防止することができる。

【図面の簡単な説明】

【図1】第1の従来の半導体装置の多層配線構造を示す断面図である。

【図2】第2の従来の半導体装置の多層配線構造を示す断面図である。

【図3】本発明の第1実施形態に係る半導体装置の多層配線構造の形成工程を示す断面図(その1)である。

【図4】本発明の第1実施形態に係る半導体装置の多層配線構造の形成工程を示す断面図(その2)である。

【図5】本発明の第1実施形態に係る半導体装置の多層配線構造の形成工程を示す断面図（その3）である。

【図6】本発明の第2実施形態に係る半導体装置の多層配線構造の形成工程を示す断面図（その1）である。

【図7】本発明の第2実施形態に係る半導体装置の多層配線構造の形成工程を示す断面図（その2）である。

【図8】本発明の第2実施形態に係る半導体装置の多層配線構造の形成工程を示す断面図（その3）である。

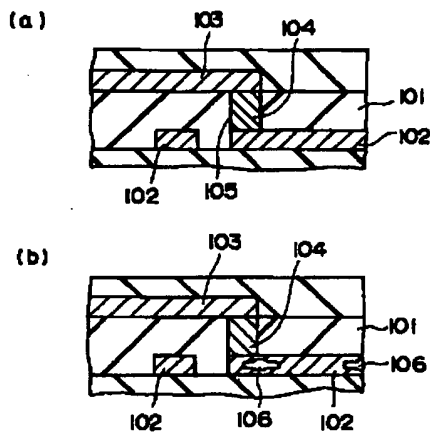
【符号の説明】

1…半導体基板、2, 3, 6…層間絶縁膜、4…凹部、

5…配線、5a…リザーバ、7…ビアホール（コンタクトホール）、8…ビア、9…フォトリソ、10…凹部、11…配線、11a…リザーバ、21, 24, 35, 37…層間絶縁膜、22…ビア、23, 34, 36…窒化シリコン膜、25, 38…反射防止膜、26…開口、27…フォトリソ、28…配線用溝、29…凹部、32…配線、33…リザーバ、39, 40…開口、41…フォトリソ、42…配線用溝、43…ビアホール、44…凹部、47…配線、48…ビア、49…リザーバ。

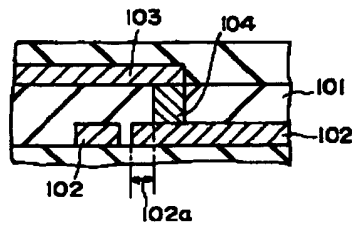
【図1】

従来技術（その1）



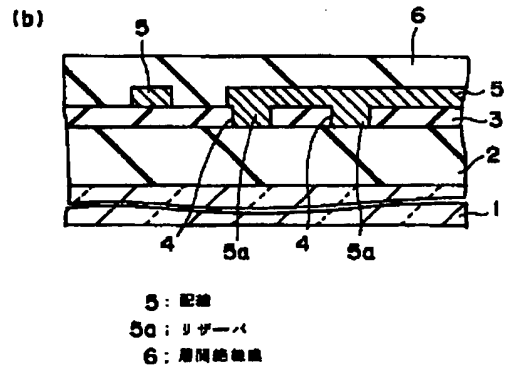
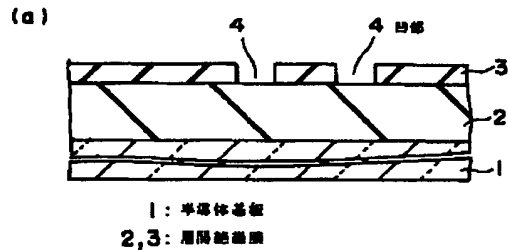
【図2】

従来技術（その2）



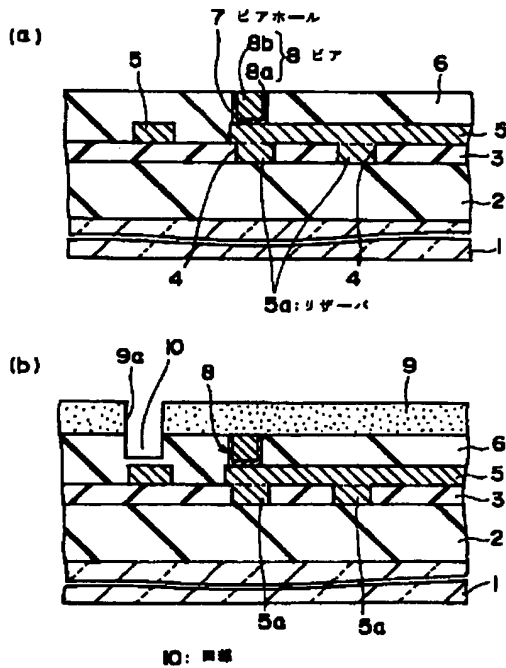
【図3】

本発明の第1実施形態の半導体装置の形成工程を示す断面図（その1）



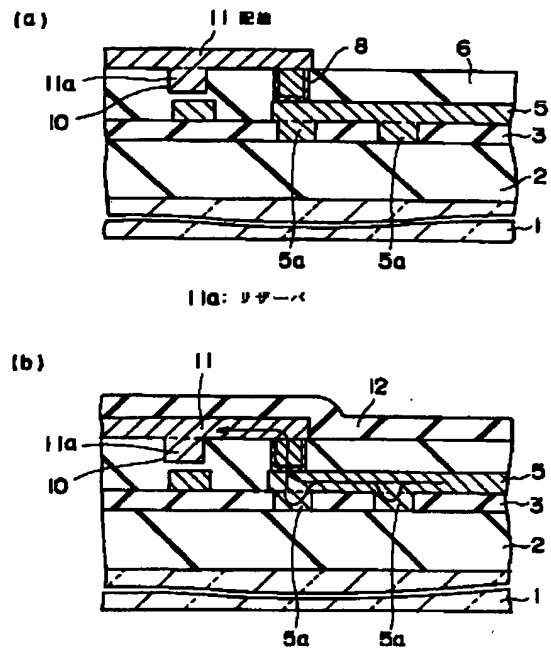
【図4】

本発明の第1実施形態の半導体装置の
形成工程を示す断面図（その2）



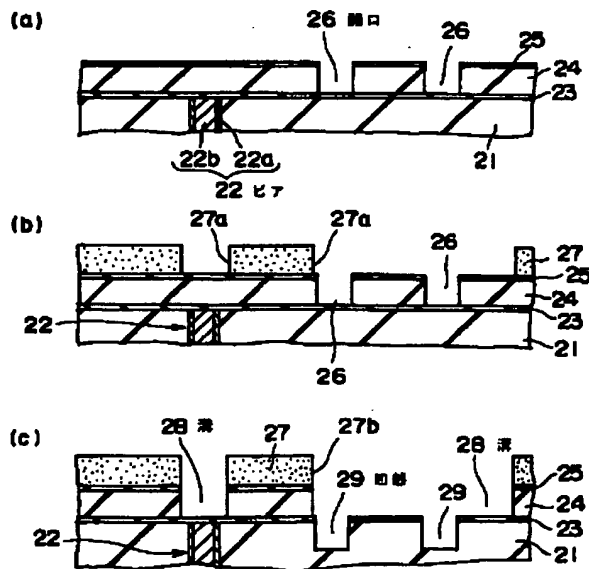
【図5】

本発明の第1実施形態の半導体装置の
形成工程を示す断面図（その3）



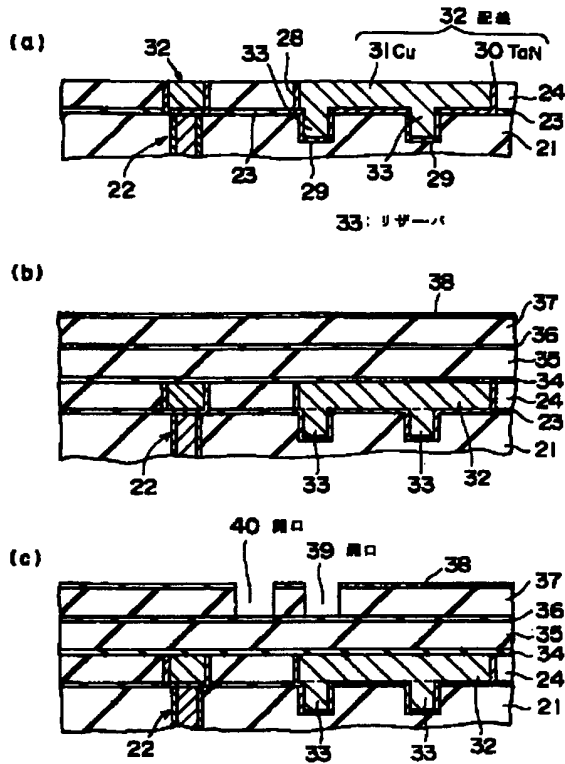
【図6】

本発明の第2実施形態の半導体装置の
形成工程を示す断面図（その1）



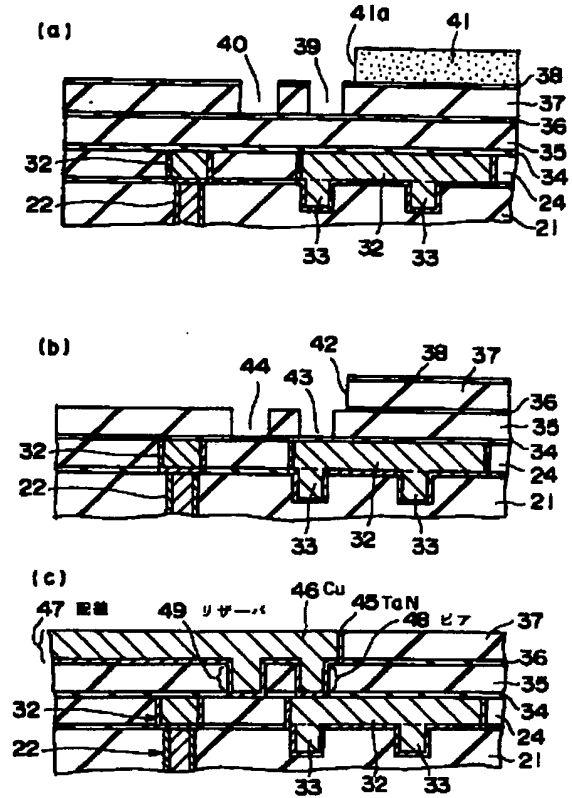
【図7】

本発明の第2実施形態の半体装置の
形成工程を示す断面図（その2）



【図8】

本発明の第2実施形態の半体装置の
形成工程を示す断面図（その3）



フロントページの続き

Fターム(参考) 5F033 HH08 HH11 HH32 JJ08 JJ19
JJ33 KK08 MM02 MM12 MM13
MM20 NN06 PP15 PP27 QQ04
QQ37 QQ48 RR04 RR06 RR09
RR14 TT02 XX03 XX05